

PATENT ABSTRACTS OF JAPAN

DF

(11)Publication number : 2000-306493
(43)Date of publication of application : 02.11.2000

(51)Int.Cl. H01J 1/304
H01J 9/02
H01J 29/04
H01J 31/12

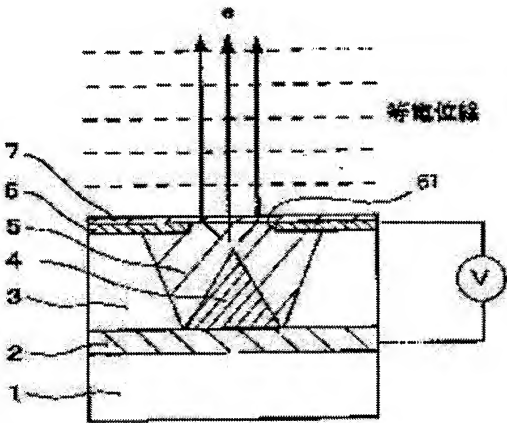
(21)Application number : 11-116605 (71)Applicant : CANON INC
(22)Date of filing : 23.04.1999 (72)Inventor : ODA HITOSHI

(54) ELECTRON EMISSION ELEMENT, MANUFACTURE OF ELECTRON EMISSION ELEMENT, FLAT-PANEL DISPLAY, AND MANUFACTURE OF FLAT-PANEL DISPLAY

(57)Abstract:

PROBLEM TO BE SOLVED: To make potential distribution in the vicinity of a hole parallel to an electrode plane and suppress diffusion of emitted electrons in simple constitution by blocking the hole for emitting electrons to the outside with a conductive thin film.

SOLUTION: A material having low electron scattering probability is filled in a hole formed with a gate electrode 6 of an FE type electron source of an electron emission element and an emitter to the same height as the top surface of the gate electrode 6. A thin film 7 thinner than an average free path of an electron is stacked on the whole surface of the gate electrode 6, and the whole gate electrode 6 is made flat and equipotential. As a result, an equipotential surface formed between an anode electrode and the gate electrode 6 is made parallel to the surface of the gate electrode 6, electrodes transmitted through the thin film 7 from the hole under the gate electrode 6 reach an anode electrode without the spread of beams. The material filled in the hole under the gate electrode 6 is preferable to have low electron scatter and to be capable of forming a conductive film such as a porous silica film.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The electron emission component characterized by preparing the conductive thin film which closes said hole in the electron emission component to which are the electron emission component equipped with the electrode of a pair, and the electron emission section prepared in inter-electrode [of this pair], and the electron made to emit from said electron emission section is made to emit towards the exterior from the hole formed in one electrode of the electrodes of said pair.

[Claim 2] The thickness of this thin film is an electron emission component according to claim 1 characterized by being thinner than the die length of the average free process of the electron emitted from said electron emission section.

[Claim 3] The electron emission component according to claim 1 or 2 characterized by forming in this insulating layer the centrum which is open for free passage to said hole, and preparing said electron emission section in this centrum while an insulating layer is prepared in inter-electrode [of said pair].

[Claim 4] The electron emission component according to claim 1, 2, or 3 characterized by filling up with a porosity silica in said centrum.

[Claim 5] The electron emission component according to claim 4 to which the void content of said porosity silica is characterized by being less than 100% 85% or more.

[Claim 6] Said electron emission section is the electron emission component of any one publication of claim 1-5 characterized by including the diamond particle film.

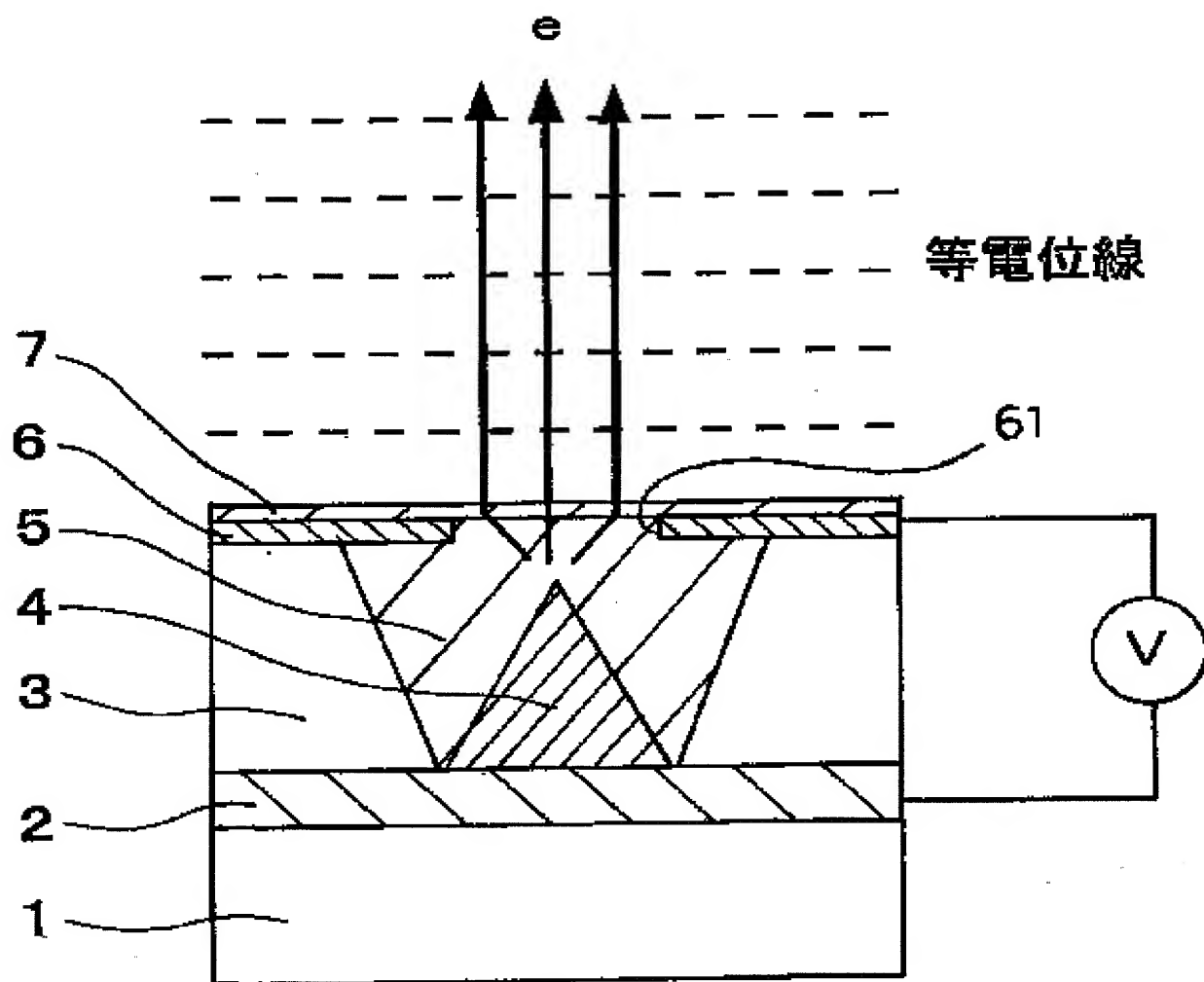
[Claim 7] Said electron emission section is the electron emission component of any one publication of claim 1-5 characterized by including the carbon nanotube film.

[Claim 8] Like the solution packer filled up with the raw material solution of a porosity silica through the hole formed in one electrode of the electrodes of said pair in the centrum formed in the insulating layer prepared in inter-electrode [of a pair] The gelation process which gels the solution with which it filled up like this solution packer, These solution packer with down stream processing which performs processing which samples a solvent, maintaining the frame of the silica formed of this gelation process by the gelation process and down stream processing The manufacture approach of the electron emission component characterized by having the vacuum evaporation process which makes the porosity silica front face exposed from the electrode surface in which said hole was formed, and this hole vapor-deposit a conductive thin film after a porosity silica is formed in said centrum.

[Claim 9] The flat-surface display characterized by having the display which performs a luminescence display in response to the electron emitted from the electron emission components and these electron emission components of any one publication of claim 1-7 by which two or more arrays were carried out.

[Claim 10] The manufacture approach of the flat-surface display characterized by preparing the display which indicates by luminescence with the electron emitted from this electron emission component in the location which counters the electron emission component formed in the shape of these matrices while forming two or more electron emission components in the shape of a matrix by the manufacture approach of an electron emission component according to claim 8.

[Translation done.]



DF

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-306493

(P2000-306493A)

(43) 公開日 平成12年11月2日 (2000.11.2)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード(参考)
H 0 1 J	1/304	H 0 1 J	F 5 C 0 3 1
	9/02		B 5 C 0 3 6
	29/04		
	31/12		C

審査請求 未請求 請求項の数10 O L (全 9 頁)

(21) 出願番号 特願平11-116605

(22) 出願日 平成11年4月23日 (1999.4.23)

(71) 出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 織田 仁

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

(74) 代理人 100085006

弁理士 世良 和信 (外1名)

Fターム(参考) 5C031 DD09 DD17 DD19

5C036 EE03 EE14 EF01 EF06 EF09

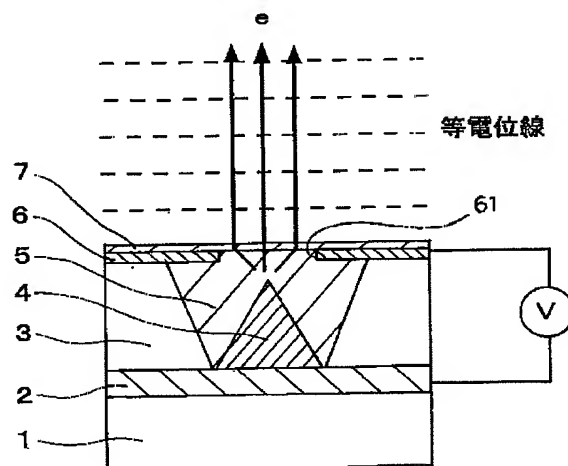
EG12 EG15 EH04 EH06 EH08

(54) 【発明の名称】 電子放出素子および電子放出素子の製造方法および平面ディスプレイおよび平面ディスプレイの製造方法

(57) 【要約】

【課題】 簡易な構成で、放出する電子の拡散（ビーム広がり）を抑制する品質性に優れた、電子放出素子および電子放出素子の製造方法および平面ディスプレイおよび平面ディスプレイの製造方法を提供する。

【解決手段】 F E型電子源のゲート電極とエミッタとで形成される穴に電子散乱確率の小さい材料をゲート電極上面と同じ高さになるまで充填し、その上に電子の平均自由行程よりも小さい膜厚の導電性膜（薄膜7）をゲート電極全面に積層することによりゲート電極6全体が平面でかつ等電位になるようする。



【特許請求の範囲】

【請求項 1】 一対の電極と、

該一対の電極間に設けられる電子放出部と、を備えた電子放出素子であって、

前記電子放出部から放出させた電子を、前記一対の電極のうちの一方の電極に形成された孔から外部に向けて放出させる電子放出素子において、
前記孔を塞ぐ導電性の薄膜を設けることを特徴とする電子放出素子。

【請求項 2】 該薄膜の膜厚は、前記電子放出部から放出される電子の平均自由行程の長さよりも薄いことを特徴とする請求項 1 に記載の電子放出素子。

【請求項 3】 前記一対の電極間には絶縁層が設けられると共に、

該絶縁層には、前記孔に連通する中空部が形成され、該中空部内に前記電子放出部が設けられることを特徴とする請求項 1 または 2 に記載の電子放出素子。

【請求項 4】 前記中空部内に、多孔質シリカが充填されることを特徴とする請求項 1、2 または 3 に記載の電子放出素子。

【請求項 5】 前記多孔質シリカの空孔率が 85% 以上 100% 未満であることを特徴とする請求項 4 に記載の電子放出素子。

【請求項 6】 前記電子放出部は、ダイヤモンド微粒子膜を含むことを特徴とする請求項 1～5 のいずれか一つに記載の電子放出素子。

【請求項 7】 前記電子放出部は、カーボンナノチューブ膜を含むことを特徴とする請求項 1～5 のいずれか一つに記載の電子放出素子。

【請求項 8】 一対の電極間に設けられた絶縁層に形成された中空部内に、前記一対の電極のうちの一方の電極に形成された孔を介して多孔質シリカの原料溶液を充填する溶液充填工程と、

該溶液充填工程によって充填された溶液をゲル化するゲル化工程と、

該ゲル化工程によって形成されたシリカの骨格を維持しつつ溶媒を抜き取る処理を行う処理工程と、

これら溶液充填工程、ゲル化工程および処理工程によって、前記中空部内に多孔質シリカが形成された後に、前記孔が形成された電極表面および該孔から露出する多孔質シリカ表面に導電性の薄膜を蒸着させる蒸着工程と、を有することを特徴とする電子放出素子の製造方法。

【請求項 9】 複数配列された、請求項 1～7 のいずれか一つに記載の電子放出素子と、

これらの電子放出素子から放出される電子を受けて発光表示を行う表示部と、を備えることを特徴とする平面ディスプレイ。

【請求項 10】 請求項 8 に記載の電子放出素子の製造方法によって、マトリックス状に複数の電子放出素子を形成すると共に、

これらマトリックス状に形成した電子放出素子に対向する位置に、該電子放出素子から放出される電子によって発光表示する表示部を設けることを特徴とする平面ディスプレイの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、電子を放出するための電子放出素子および電子放出素子の製造方法および電子放出素子を応用した平面ディスプレイおよび平面ディスプレイの製造方法に関するものである。

【0002】

【従来の技術】 情報化社会の進展に伴って、大面積、低消費電力化（高効率）を目指した電子放出型平面ディスプレイの開発が進められている。

【0003】 電子放出素子として勢力的に開発が進められているものに、FE 型（field emission）がある。

【0004】 FE 型は基本的には図 4 に示すように、概略、電子放出部（emitter）4 と、電子放出部 4 から電子を引き出すためのゲート電極 6 と、それらの間に電圧をかけるために必要な絶縁層 3 と、からなる。

【0005】 ゲート電極 6 に印加された電圧によってエミッタ部から引き出された電子は孔の外に引き出され、図中、上方に置かれたアノード電極（不図示）に引き寄せられる。

【0006】 アノード電極には数 100 V から数 kV の電圧が印加されている。

【0007】 更にアノード電極には蛍光体が塗布されており、入射してきた数 100 eV から数 keV のエネルギーを持った電子によって励起され発光する。

【0008】 電子放出部 4 として図 5（a）に示すように先端を先鋭化したスピント型が知られている。

【0009】 円錐（コーン）の材料としてはモリブデン（以下、Mo と称する。）やタングステン（以下、W と称する。）などの高融点金属および Si などの半導体材料が使われている。

【0010】 スピント型とは別にエミッタ材料としてダイヤモンド膜やカーボンナノチューブ膜を用いることができる。

【0011】 これらの膜は電子放出し易いためコーン型にする必要はなく図 5（b）に示すような膜状 10 で用いることができる。

【0012】 絶縁層の厚さおよびゲート電極に開けられた穴の直径は典型的には 1 μm であり、アスペクト比（穴の直径／穴の深さ）が 1 程度になるように設計される。

【0013】

【発明が解決しようとする課題】 しかしながら、上記のような従来技術の場合には、下記のような問題が生じていた。

【0014】すなわち、FE型にはビーム広がりという問題点が存在する。

【0015】上述の図4に示されているようにゲート電極には電子を引き出すために必然的に孔が存在する。

【0016】この孔によって電位分布は図6に示されるように孔の上で平行ではなくなる。

【0017】これにより、孔から出た電子はこの電界のレンズ効果によって発散する方向に飛行する。

【0018】従って、アノード電極上での到達電子の位置分布は孔の直径よりはるかに大きくなる。

【0019】すなわち、アノード電圧を V_a 、ゲート電圧を V_g 、アノード-ゲート間距離を d とすると、アノード電極上に到達した電子による発光点の半径 r は
$$r = (2V_g/V_a)^{1/2} \times d$$
と表わされる。

【0020】標準的な構造と駆動条件を仮定して、 $V_g = 50V$ 、 $V_a = 5kV$ 、 $d = 2mm$ とすると $r = 283\mu m$ となる。

【0021】例えば、10インチでVGA（画素数 480×640 ）対応のカラーディスプレイを実現しようとすると r は $50\mu m$ 以下に抑える必要がある。

【0022】高精細画像を表示するために図7に示すようにゲート電極上に収束電極12をつけることが現在検討されている。

【0023】この場合には、収束電極12は発散する電子ビームを電界によって偏向させアノード電極上で所望のビーム径になるように印加電圧（ V_2 ）で調整するものであり、ゲート電極6側に、更に、絶縁膜11および調整電圧を印加するための収束電極12が設けられている。

【0024】しかし、そのように対応する場合には、収束電極が必要となるため構造が複雑になるばかりでなくプロセスが長くなりコストが上がる要因となる。

【0025】このように現状のFE型電子放出素子（あるいはFE型電子放出素子を備える電子源）で、高精細化を図るには、構造の複雑化等の問題があった。

【0026】本発明は上記の従来技術の課題を解決するためになされたもので、その目的とするところは、簡易な構成で、放出する電子の拡散（ビーム広がり）を抑制する品質性に優れた、電子放出素子および電子放出素子の製造方法および平面ディスプレイおよび平面ディスプレイの製造方法を提供することにある。

【0027】

【課題を解決するための手段】上記目的を達成するために本発明にあっては、一対の電極と、該一対の電極間に設けられる電子放出部と、を備えた電子放出素子であって、前記電子放出部から放出させた電子を、前記一対の電極のうちの一方の電極に形成された孔から外部に向けて放出させる電子放出素子において、前記孔を塞ぐ導電性の薄膜を設けることを特徴とする。

【0028】したがって、孔付近において形成される電位分布を、電極平面に対して平行にできる。

【0029】該薄膜の膜厚は、前記電子放出部から放出される電子の平均自由行程の長さよりも薄いとよい。

【0030】従って、放出される電子が、薄膜に捕らえられることを抑制できる。

【0031】前記一対の電極間には絶縁層が設けられると共に、該絶縁層には、前記孔に連通する中空部が形成され、該中空部内に前記電子放出部が設けられるとよい。

【0032】前記中空部内に、多孔質シリカが充填されるとよい。

【0033】従って、中空部内での電子の散乱を抑制できる。

【0034】前記多孔質シリカの空孔率が85%以上100%未満であるとよい。

【0035】前記電子放出部は、ダイヤモンド微粒子膜を含むとよい。

【0036】前記電子放出部は、カーボンナノチューブ膜を含むとよい。

【0037】また、本発明の電子放出素子の製造方法にあっては、一対の電極間に設けられた絶縁層に形成された中空部内に、前記一対の電極のうちの一方の電極に形成された孔を介して多孔質シリカの原料溶液を充填する溶液充填工程と、該溶液充填工程によって充填された溶液をゲル化するゲル化工程と、該ゲル化工程によって形成されたシリカの骨格を維持しつつ溶媒を抜き取る処理を行う処理工程と、これら溶液充填工程、ゲル化工程および処理工程によって、前記中空部内に多孔質シリカが形成された後に、前記孔が形成された電極表面および該孔から露出する多孔質シリカ表面に導電性の薄膜を蒸着させる蒸着工程と、を有することを特徴とする。

【0038】また、本発明の平面ディスプレイにあっては、複数配列された、上記の電子放出素子と、これらの電子放出素子から放出される電子を受けて発光表示を行う表示部と、を備えることを特徴とする。

【0039】また、本発明の平面ディスプレイの製造方法にあっては、上記の電子放出素子の製造方法によって、マトリックス状に複数の電子放出素子を形成すると共に、これらマトリックス状に形成した電子放出素子に対向する位置に、該電子放出素子から放出される電子によって発光表示する表示部を設けることを特徴とする。

【0040】

【発明の実施の形態】以下に図面を参照して、この発明の好適な実施の形態および実施例を例示的に詳しく説明する。ただし、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0041】図1は本発明の実施の形態に係る電子放出

10

20

30

40

50

素子の概略構成断面図である。

【0042】なお、説明簡単のため、上述の従来技術の説明の中で参照した図示の構成と同一の構成については同一の符号を付して説明する。

【0043】図に示すように、本実施の形態においては、上述の従来技術の中で説明した基本的な構成に加えて、多孔質シリカ膜5および薄膜7が設けられている。

【0044】すなわち、本発明の実施の形態に係る電子放出素子では、FE型電子源のゲート電極とエミッタとで形成される穴に電子散乱確率の小さい材料をゲート電極上面と同じ高さになるまで充填し、その上に電子の平均自由行程よりも小さい膜厚の導電性膜（薄膜7）を図1に示すようにゲート電極全面に積層することによりゲート電極6全体が平面でかつ等電位になるようにしたことを特徴としている。

【0045】その結果、アノードゲート電極間に形成される等電位面が図1のようにゲート電極表面と平行になり、ゲート電極下の穴の中から導電性膜を透過して出てきた電子はビーム広がりを生じないでアノード電極に到達することができる。

【0046】ここで、ゲート電極下の穴の中に充填する材料はできるだけ電子散乱が小さくかつ上部に導電性膜が形成可能な機械強度をもつ構造材であることが望ましい。

【0047】即ち、できるだけ空孔率が高い骨格構造を持つものが必要とされる。

【0048】この材料の候補として多孔質シリカ膜が上げられる。

【0049】多孔質シリカの製法としてはゾル・ゲル法を用いたものが知られている。

【0050】溶媒中で、シリコンアルコキシド（TEOS, TMOS）を加水分解させて、 SiO_2 からなる湿潤ゲルを形成する。

【0051】湿潤ゲルは $\text{Si}-\text{O}-\text{Si}$ 結合の3次元ネットワークからなる骨格内に溶媒を含む。

【0052】このまま溶媒を自然乾燥させると骨格に働く表面張力のためにシリカの骨格が破壊され密度の高いシリカ膜となる。

【0053】シリカの骨格を維持したまま溶媒を抜き取るために超臨界乾燥法や骨格の表面を疏水処理する表面改質法によって表面張力を零にする方法が知られている。

【0054】このようにして得られる多孔質シリカは内部に100Å前後の空孔を持つ。

【0055】空孔率は希釈溶媒の量で制御され、最高で99.9%までのものが作成可能である。

【0056】このように空孔率が100%近くまで高められるためエミッタ電極から放出された電子が上部電極を透過する前に散乱される確率は非常に小さい。

【0057】また、誘電率をほぼ1にすることができる

ため穴の内部に充填しても静電容量を大きくすることはなくスイッチング速度を低下させることはない。

【0058】また、穴の中に多孔質シリカを充填することによってエミッタの電子放出点が直接真空中に曝される割合が小さくなり、残留ガスが電子放出部に吸着して電子放出特性を変化させるというFE素子に顕著な劣化現象が低減される効果もある。

【0059】

【実施例】（第1実施例）以下、上記実施の形態に基づいた、より具体的な実施例について説明する。

【0060】FE型電子源を作るところまでの工程は通常の製法と同様である。

【0061】図2を参照して、本発明の第1実施例に係る電子放出素子の製造方法および電子放出素子について説明する。

【0062】なお、図示の例は、スピント型電子源の製法について示している。

【0063】まず、ガラス基板1に導電性陰極膜2とアモルファスシリコンからなる抵抗膜8、 SiO_2 からなる絶縁膜（膜厚約1 μm ）3およびゲート電極膜6を順次形成する（図2（a））。

【0064】なお、導電性陰極膜2とゲート電極膜6により一对の電極を構成する。

【0065】次に、ゲートにイオンエッチング法で直径1 μm 程度の穴を開け（図2（b））、その後 SiO_2 層だけエッチングもしくはイオンエッチング法で取り去る（図2（c））。

【0066】これにより、一方の電極であるゲート電極膜6に孔61が形成されると共に、絶縁膜3に中空部32が形成される。

【0067】次に、ゲート上にNi犠牲層9を成膜した後に（図2（d））、スピント型冷陰極の材料であるMoを成膜する。

【0068】そうすると中空部32の中にMoが堆積し、先端が尖った円錐の構造物（電子放出部4）が自然に形成される（図2（e））。

【0069】Ni膜の上にできた不要なMo層はNi層を取り除くことによって同時に剥離することができ、スピント型の冷陰極が完成する（図2（f））。

【0070】次に、冷陰極が形成された中空部32の中に多孔質シリカ（膜）5を充填する。

【0071】まず、多孔質シリカの原料溶液を作成する。

【0072】第1の溶液としてTEOS（テトラエトキシシラン）とエタノールと水と塩酸をモル比で1：3.8：1.1：0.0007の割合で混合した。

【0073】その後、この混合液を60℃で90分間還流した。

【0074】この混合液と濃度0.2Mのアンモニア水とエタノールを体積比で10：1：xの割合で混合し、

10

20

30

40

50

15分間攪拌した。

【0075】ここで、 x はエタノールの希釈量で10から50の範囲で変化させた。

【0076】混合直後の液の粘度は $2\text{ mPa} \cdot \text{sec}$ 程度でほとんど水と同じ粘性を示した。

【0077】この溶液を水平に保持された冷陰極が形成された基板の上に流し、混合液を冷陰極の穴の中に充填した。

【0078】その後、基板をわずかに傾けゲート電極面上から液を流し去った。

【0079】このようにして中空部32の中にのみ多孔質シリカの原料溶液を充填した（溶液充填工程）。

【0080】次に、充填した液の溶媒を蒸発させることなくゲル化させるために、基板をエタノール蒸気で飽和された容器内に入れて、数時間かけてゲル化した（ゲル化工程）。

【0081】ゲル化後、基板をエタノール溶液中に浸してゲルの熟成を行った。

【0082】次に、この基板をオートクレーブ内に入れて、ゲル中に含まれているエタノールを液体 CO_2 で置換した。

【0083】その後、 40°C まで昇温し、内部の圧力を90気圧とした。

【0084】この状態は CO_2 の超臨界条件（ 31°C 、72.8気圧）以上であるので膜中の CO_2 は表面張力の働かない超臨界流体となっている。

【0085】超臨界状態で15分保った後、温度を 40°C に固定したまま CO_2 を徐々に排出して、圧力を1気圧まで戻した。

【0086】続いて、温度を徐々に下げ常温まで戻して、オートクレーブより基板を取り出した。

【0087】この状態の多孔質シリカ中には水酸基やアルキル基が吸着しているため、窒素ガス中で2時間、温度 450°C でアニールし、これらの吸着物を脱離させた（以上、処理工程）。

【0088】上記の方法で、冷陰極の中空部32の中に多孔質シリカを充填することができた。

【0089】走査型電子顕微鏡を用いて中空部内を観察したところ、ゲート電極の上面と同じ位置まで多孔質シリカが埋め込まれていることが確認できた（図2（g））。

【0090】次に、この基板全面に厚さ10nmの金膜（薄膜7）を蒸着法で形成した（蒸着工程）。

【0091】その結果、表面に凹凸の存在しない平坦なゲート電極膜とすることができた（図2（h））。

【0092】上記の素子を真空装置内に入れて、 10^{-6} Torr まで排気した。

【0093】陰極膜とゲート電極膜の間にゲート電極を正にして電圧を印加し、そこに流れるゲート電流をモニターした。

【0094】同時に、基板の上方5mmの位置にアノード板を設置した。

【0095】アノード板はガラス基板上にITO導電膜と蛍光体膜が積層されたもので、1kVの電圧を印加しエミッション電流を測定すると同時に蛍光体の発光点の大きさを測定した。

【0096】また、比較のため穴の中に多孔質シリカを充填していない電子放出素子も試作し、上記と同じ測定を行った。

10 【0097】図8に示す表図はこのようにして得られた多孔質シリカ膜の空孔率に対する電子放出特性をまとめたものである。

【0098】空孔率は同じ溶液を用いて成膜した一様様のX線反射率から膜密度を求め、それとバルクのシリカの密度（ 2.2 g/cc ）から計算された。

【0099】表図から分かるように、空孔率が高いものほど良好な電子放出特性を示した。

【0100】また、発光点の大きさは通常のFE素子と比較して非常に小さくなり、電位分布が穴の上に設けられた電極膜によって平坦になっていることが確認された。

【0101】（第2実施例）実施例1においてはスピント型電子源の場合における構成について、中空部の中に多孔質シリカを充填する例を示したが、そのような場合の構成に適用するものに限られるわけではなく、その他の例として、本実施例ではダイヤモンド電子源の場合における構成について、中空部の中に多孔質シリカを充填する例について説明する。

【0102】まず、ガラス基板にPtからなる導電性陰極膜を形成する。

【0103】この基板をダイヤモンド粒子が懸濁されたアセトン溶媒中に浸して、超音波処理を行う。

【0104】この操作によりダイヤモンド膜を生成するための核が、Pt膜全面に形成される。

【0105】核密度はダイヤモンド粒子の懸濁度と超音波処理時間で決定される。

【0106】次に、 SiO_2 からなる絶縁膜（膜厚約 $1\text{ }\mu\text{m}$ ）およびゲート電極膜を順次形成した後、ゲート電極にイオンエッチング法で直径 $1\text{ }\mu\text{m}$ 程度の穴を開け、その後 SiO_2 層だけエッチングもしくはイオンエッチング法で取り去る。

【0107】このようにして穴（中空部）のなかにPt電極を露出させる。

【0108】この基板をメタンガスと水素の混合ガスに高周波電圧を印加することによって発生させたプラズマ中に曝す。

【0109】この結果、穴の中に露出したPt電極面にはのみダイヤモンドが核発生し、ゲート電極上には膜は生成しない。

50 【0110】得られるダイヤモンド膜は連続膜とはなら

ずに、結晶面からなるファセットが露出した微粒子膜となるため電子放出に適した形状となる。

【0111】次に第1実施例と同じ方法によって中空部の中に多孔質シリカを充填し、その後Au電極膜を全面に形成することでビーム広がり少ない電子放出源を得ることができた。

【0112】(第3実施例)更に、本実施例では、カーボンナノチューブを用いた電子源の場合における構成について、中空部の中に多孔質シリカを充填する例について説明する。

【0113】本実施例においてはカーボンナノチューブを用いた電子源の穴の内部に多孔質シリカを充填する例について説明する。

【0114】ガラス基板にPtからなる導電性陰極膜を形成する。

【0115】次にSiO₂からなる絶縁膜(膜厚約1μm)およびゲート電極膜を順次形成した後、ゲート電極にイオンエッチング法で直径1μm程度の穴を開け、その後SiO₂層だけエッチングもしくはイオンエッチング法で取り去る。

【0116】このようにして穴(中空部)のなかにPt電極を露出させる。

【0117】この基板を550℃に保持し、エチレンガスとアルゴンガスとの混合ガス雰囲気中に2時間曝した。

【0118】その結果、触媒性金属であるPt電極上のみカーボンナノチューブが生成するため中空部の内部のみカーボンナノチューブが形成された。

【0119】得られるカーボンナノチューブ膜は連続膜とはならず非常に細い柱状構造となるため電子放出に適した形状となる。

【0120】次に第1実施例と同じ方法によって穴の中に多孔質シリカを充填し、その後Au電極膜を全面に形成することでビーム広がり少ない電子放出源を得ることができた。

【0121】(第4実施例)以上述べた実施の形態および第1から第3の実施例では電子放出素子について説明した。

【0122】上記のように構成された、電子ビームに広がり生じないFE型電子放出素子の用途としては、例えば、高精細画像表示が可能な平面ディスプレイ装置に好適に適用できる。

【0123】本実施例では、上述のように構成された電子放出素子を平面ディスプレイ装置に適用する場合について図3を参照して説明する。

【0124】図3は本実施例に係る平面ディスプレイ装置の製造方法を説明するための概略構成斜視図である。

【0125】本実施例では、図3に示すように、この平面ディスプレイ装置は、概略、上記第1実施例で説明した電子放出素子を集積してなる電子放出源31と、この電子放出源31から放出された電子を受けて発光表示を

行う表示部30と、からなる。

【0126】この電子放出源の製造方法を、図3を用いて説明する。

【0127】まず、基板1上に形成された導電性陰極膜およびアモルファスシリコンからなる抵抗層をエッチングによってX方向に隣り合う多数の帯状のベース電極21に分割することでアドレスラインが作成される。

【0128】この上にSiO₂絶縁層3を1μmの厚さで全面に成膜し、更にゲート電極22も全面に積層する。

【0129】その後、エッチングによって上記のベース電極と直交するY方向に隣合うように、ゲート電極膜を帯状に分割する。

【0130】これによりデータラインが作成される。

【0131】このエッチングの際にアドレスラインとデータラインの交点面に、第1実施例で述べたFE型電子放出部を作成するための穴23をゲート電極に開ける。

【0132】穴の径は1μmであるため、交点面が約50μm角の場合100ケ(10×10ケ)程度の穴が1画素を形成する。

【0133】次に、第1実施例と同じ工程を用いて穴の中のSiO₂層だけエッチングもしくはイオンエッチングで取り去る(中空部が形成される)。

【0134】全面にNi犠牲層を成膜したのち、引き続きMoを成膜し、中空部の中にMoティップを形成する。

【0135】その後Ni層を取り除くことで全面についてMo膜を除去する。

【0136】そして、第1実施例と同様に中空部の中に多孔質シリカを充填したのち、その上に10nm厚のAu電極(薄膜7)を成膜することで電子放出素子が形成される。

【0137】以上の工程により多数の電子放出素子をマトリックス状に集積してなる電子放出源31を得ることができる。

【0138】一方、表示部30は透明基板26とその上に塗布された発光蛍光体25さらにその上に形成された金属膜(メタルバック)24からなる。

【0139】この表示部のメタルバック面と電子放出源を向かいあうように配置し、外枠(不図示)を挟んで接着し、真空容器を形成する。

【0140】このように構成された平面ディスプレイ装置では上記の各電子放出素子が1画素を構成する。

【0141】そして、この平面ディスプレイ装置では駆動方法としてTFTを利用したアクティブマトリックス方式の液晶ディスプレイ装置と同様の方法を採用することができる。

【0142】すなわち上記ベース電極によって構成されるアドレスラインと導電膜によって構成されるデータラインはそれぞれ駆動ドライバに接続されている。

【0143】そして、この駆動ドライバを作動させ、任意のアドレスラインとデータラインを選択して電圧を印加することによって各ラインが交わる個所に設けられた電子放出素子から電子を放出させる。

【0144】このとき上記表示部30に設けられた金属膜24に対して高電圧を与えておくことと放出された電子は上記金属膜24に引き寄せられ、それを透過し、その下の蛍光体25を発光させることができる。

【0145】

【発明の効果】以上説明したように、本発明は、外部に向けて電子が放出するための孔を導電性の薄膜によって塞いだので、孔付近において形成される電位分布を、電極平面に対して平行に（電位分布を平坦化）でき、簡易な構成で、放出する電子の拡散（ビーム広がり）を抑制することができるので、品質性に優れる。

【0146】薄膜の膜厚を、電子放出部から放出される電子の平均自由行程の長さよりも薄くすれば、薄膜に捕らえられることを抑制できる。

【0147】電子放出部が設けられる中空部内に、多孔質シリカを充填すれば、中空部内での電子の散乱を抑制

【0148】また、平面ディスプレイに、上述のように放出する電子の拡散（ビーム広がり）を抑制でき品質性に優れた電子放出素子を適用することで、高精細画像表示が可能となる。

【図面の簡単な説明】

【図1】本発明の実施の形態に係る電子放出素子の基本的な概略構成図およびその電位分布図である。

【図2】本発明の第1実施例に係る電子放出素子の製造方法を示す図である。

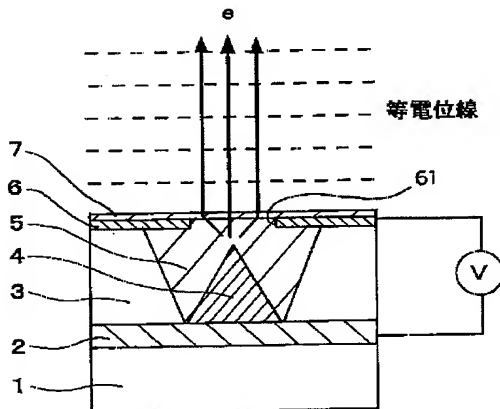
【図3】本発明の第4の実施例に係る平面ディスプレイ装置の製造方法を説明するための概略構成斜視図である。

10 電子放出源

【符号の説明】

- 1 基板
- 2 導電性陰極膜
- 3 絶縁膜
- 32 中空部
- 4 電子放出部
- 5 多孔質シリカ膜
- 6 ゲート電極（膜）
- 61 孔
- 7 薄膜（データ電極）
- 8 抵抗膜
- 9 犠牲膜
- 10 膜状（電子放出部）
- 11 絶縁膜
- 12 収束電極
- 21 ベース電極（アドレスライン）
- 22 ゲート電極（データライン）
- 23 穴
- 24 金属膜（メタルバック）
- 25 蛍光体
- 26 ガラス基板
- 30 表示部
- 31 電子放出源

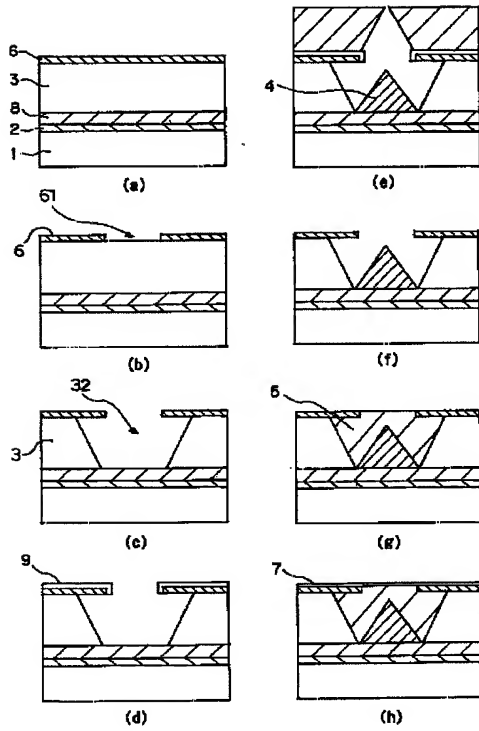
【図1】



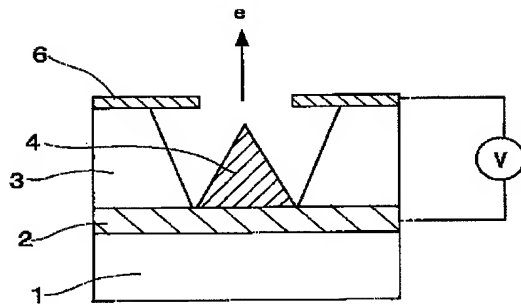
【図8】

No.	空孔率 (%)	ゲート電圧 (V)	ゲート電流 ($\mu\text{A}/\text{tip}$)	エミッタ電流 ($\mu\text{A}/\text{tip}$)	効率 (%)	発光点の半径
1	85	50	31	4	11	40 μm
2	98	50	24	10	29	55 μm
3	99	50	17	20	54	43 μm
4	真空(比較)	50	1	40	98	800 μm

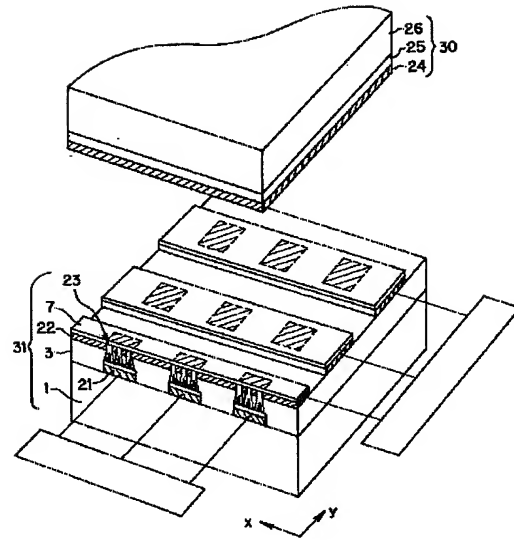
【図 2】



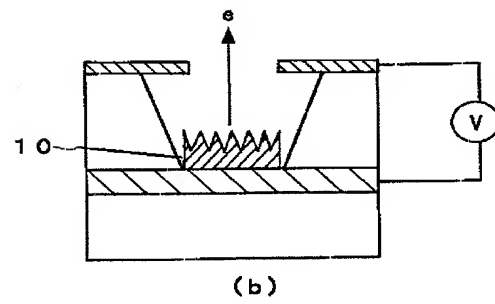
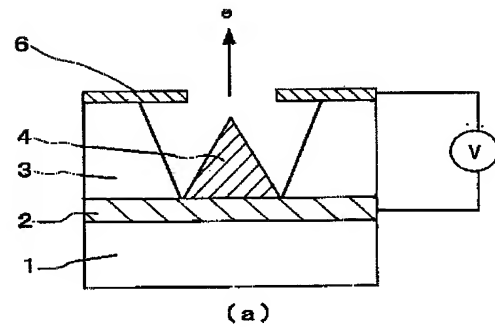
【図 4】



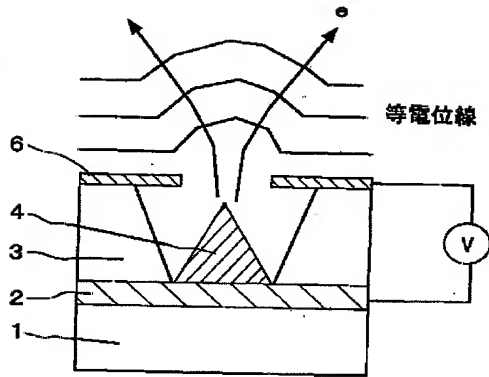
【図 3】



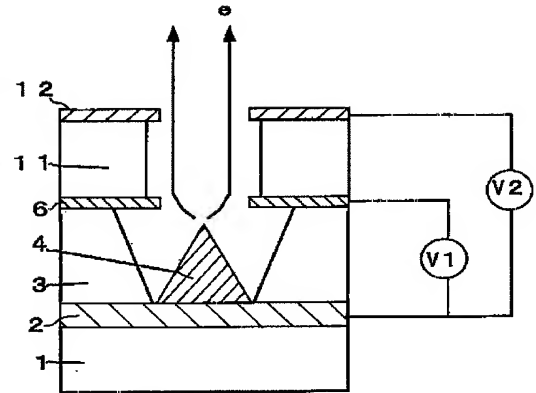
【図 5】



【図 6】



【図 7】



* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of the flat-surface display adapting the manufacture approach of the electron emission component for emitting an electron, and an electron emission component, and an electron emission component, and a flat-surface display.

[0002]

[Description of the Prior Art] Development of the electron emission mold flat-surface display which aimed at a large area and low-power-ization (efficient) is furthered with progress of an information society.

[0003] FE mold (field emission) is one of those to which development is advanced in influence as an electron emission component.

[0004] the gate electrode 6 for FE mold to pull out an electron from an outline, the electron emission section (emitter) 4, and the electron emission section 4, as fundamentally shown in drawing 4 , and the insulating layer 3 required in order to apply an electrical potential difference among them -- since -- it becomes.

[0005] The electron pulled out from the emitter section by the electrical potential difference impressed to the gate electrode 6 is pulled out besides a hole, and can be drawn near to the anode electrode (un-illustrating) put on the upper part among drawing.

[0006] The electrical potential difference of several kV is impressed to the anode electrode from several 100V.

[0007] Furthermore, the fluorescent substance is applied to the anode electrode, and it is excited with an electron with the energy of Number kVeV from several 100eV which has carried out incidence, and light is emitted.

[0008] The Spindt mold which was radicalized in the tip as shown in drawing 5 (a) as the electron emission section 4 is known.

[0009] As a conic (cone) ingredient, semiconductor materials, such as refractory metals, such as molybdenum (Mo is called hereafter.) and a tungsten (W is called hereafter.), and Si, are used.

[0010] Apart from the Spindt mold, the diamond film and the carbon nanotube film can be used as an emitter ingredient.

[0011] Since it is easy to carry out electron emission of these film, it can be used by the shape of film 10 as not used as a cone mold and shown in drawing 5 (b).

[0012] Typically, the diameter of the hole which was able to be made in insulating layer thickness and a gate electrode is 1 micrometer, and it is designed so that an aspect ratio (depth of the diameter/hole of a hole) may become about one.

[0013]

[Problem(s) to be Solved by the Invention] However, in the case of the above conventional techniques, the following problems had arisen.

[0014] That is, the trouble of beam divergence exists in FE mold.

[0015] In order to pull out an electron to a gate electrode as shown in above-mentioned drawing 4 , a hole exists inevitably.

[0016] It becomes less parallel on a hole, as potential distribution is shown to drawing 6 by this hole.

[0017] Thereby, the electron which came out of the hole flies in the direction emitted according to the lens effectiveness of this electric field.

[0018] Therefore, location distribution of the attainment electron on an anode electrode becomes large far from the diameter of a hole.

[0019] That is, when an anode electrical potential difference is set to V_a and V_g and distance between the anode-

gates are set to d for gate voltage, the radius r of the point by the electron which reached on the anode electrode emitting light is expressed as $r = (2 V_g / V_a)^{1/2} d$.

[0020] It will be set to $r = 283$ micrometers if [assume standard structure and drive conditions and] $V_g = 50V$, $V_a = 5kV$, and $d = 2mm$.

[0021] For example, if it is going to realize the color display of VGA (480x640 pixel) correspondence by 10 inches, it is necessary to hold down r to 50 micrometers or less.

[0022] In order to display a highly minute image, attaching the convergence electrode 12 on a gate electrode, as shown in drawing 7 is examined now.

[0023] In this case, the convergence electrode 12 is adjusted with applied voltage (V2) so that the electron beam which emits may be deflected by electric field and it may become a desired beam diameter on an anode electrode, and the convergence electrode 12 for impressing an insulator layer 11 and control voltage to the gate electrode 6 side further is formed.

[0024] However, in corresponding such, since a convergence electrode is needed, a process becomes long structure not only becomes complicated, but, and it becomes the factor which cost goes up.

[0025] Thus, with the present FE mold electron emission component (or electron source equipped with FE mold electron emission component), in order to have attained highly minute-ization, there were problems, such as complication of structure.

[0026] The place which it was made in order that this invention might solve the technical problem of the above-mentioned conventional technique, and is made into the purpose is a simple configuration, and is to offer the manufacture approach of the manufacture approach of the electron emission component excellent in the quality nature which controls diffusion (beam divergence) of the electron to emit, and an electron emission component, a flat-surface display, and a flat-surface display.

[0027]

[Means for Solving the Problem] It is the electron emission component equipped with the electrode of a pair, and the electron emission section prepared in inter-electrode [of this pair] if it was in this invention in order to attain the above-mentioned purpose, and is characterized by preparing the conductive thin film which closes said hole in the electron emission component to which the electron made to emit from said electron emission section is made to emit towards the exterior from the hole formed in one electrode of the electrodes of said pair.

[0028] therefore, a hole -- potential distribution formed in the neighborhood is made to parallel to an electrode flat surface.

[0029] The thickness of this thin film hopes that it is thinner than the die length of the average free process of the electron emitted from said electron emission section.

[0030] Therefore, the electron emitted can control being caught by the thin film.

[0031] While an insulating layer is prepared in inter-electrode [of said pair], it is good for this insulating layer to form the centrum which is open for free passage to said hole, and to prepare said electron emission section in this centrum.

[0032] It is good to fill up with a porosity silica in said centrum.

[0033] Therefore, dispersion of the electron within a centrum can be controlled.

[0034] It is good in the void content of said porosity silica being less than 100% 85% or more.

[0035] Said electron emission section is good to include the diamond particle film.

[0036] Said electron emission section is good to include the carbon nanotube film.

[0037] Moreover, if it is in the manufacture approach of the electron emission component of this invention Like the solution packer filled up with the raw material solution of a porosity silica through the hole formed in one electrode of the electrodes of said pair in the centrum formed in the insulating layer prepared in inter-electrode [of a pair] The gelation process which gels the solution with which it filled up like this solution packer, These solution packer with down stream processing which performs processing which samples a solvent, maintaining the frame of the silica formed of this gelation process by the gelation process and down stream processing After a porosity silica is formed in said centrum, it is characterized by having the vacuum evaporatio process which makes the porosity silica front face exposed from the electrode surface in which said hole was formed, and this hole vapor-deposit a conductive thin film.

[0038] Moreover, if it is in the flat-surface display of this invention, it is characterized by having the display which performs a luminescence display in response to the above-mentioned electron emission component by which two or more arrays were carried out, and the electron emitted from these electron emission components.

[0039] Moreover, if it is in the manufacture approach of the flat-surface display of this invention, while forming two or more electron emission components in the shape of a matrix by the manufacture approach of the above-mentioned electron emission component, it is characterized by preparing the display which indicates by luminescence with the electron emitted from this electron emission component in the location which counters the electron emission component formed in the shape of these matrices.

[0040] [Embodiment of the Invention] With reference to a drawing, the gestalt and example of suitable implementation of this invention are explained in detail in instantiation below. However, the dimension of the component part indicated by the gestalt of this operation, the quality of the material, a configuration, its relative configuration, etc. are not the things of those meanings limited to seeing about the range of this invention, as long as there is no specific publication especially.

[0041] Drawing 1 is the outline configuration sectional view of the electron emission component concerning the gestalt of operation of this invention.

[0042] in addition, explanation -- since it is easy, the same sign is attached and explained about the same configuration as the configuration of the illustration referred to in explanation of the above-mentioned conventional technique.

[0043] As shown in drawing, in addition to the fundamental configuration explained in the above-mentioned conventional technique, in the gestalt of this operation, the porosity silica film 5 and a thin film 7 are formed.

[0044] namely, with the electron emission component concerning the gestalt of operation of this invention The hole formed with the gate electrode and emitter of FE mold electron source is filled up with the small ingredient of an electronic dispersion probability until it becomes the same height as a gate electrode top face. By carrying out the laminating of the conductive film (thin film 7) of thickness [on it] smaller than an electronic mean free path all over a gate electrode, as shown in drawing 1 , the gate electrode 6 whole is a flat surface, and it is characterized by making it become equipotential.

[0045] Consequently, the equipotential surface formed in anode-gate inter-electrode becomes a gate electrode surface and parallel like drawing 1 , and the electron which penetrated the conductive film and came out out of the hole under a gate electrode can reach an anode electrode without producing beam divergence.

[0046] Here, as for the ingredient with which it is filled up into the hole under a gate electrode, it is desirable for electronic dispersion to be structure material with the small mechanical strength which can form the conductive film in the upper part as much as possible.

[0047] That is, a thing with skeletal structure with a void content high as much as possible is needed.

[0048] The porosity silica film is raised as a candidate of this ingredient.

[0049] The thing using the sol-gel method as a process of a porosity silica is known.

[0050] In a solvent, a silicon alkoxide (TEOS, TMOS) is made to hydrolyze and the humid gel which consists of SiO₂ is formed.

[0051] Humid gel contains a solvent in the frame which consists of a three-dimension network of Si-O-Si association.

[0052] If a solvent is made to season naturally as it is, the frame of a silica will be destroyed for the surface tension committed in a frame, and it will become the silica film with a high consistency.

[0053] In order to sample a solvent, with the frame of a silica maintained, the approach of making surface tension zero by the surface treatment method which carries out canal processing of the front face of a supercritical drying method or a frame is learned.

[0054] Thus, the porosity silica obtained has a hole around 100A in the interior.

[0055] A void content is controlled by the amount of a diluent solvent, and can create the thing to a maximum of 99.9%.

[0056] Thus, the probability scattered about before the electron emitted from the emitter electrode penetrates an up electrode, since a void content is raised to about 100% is very small.

[0057] Moreover, since a dielectric constant can be set to about 1, even if it fills up the interior of a hole, electrostatic capacity is not enlarged and a switching rate is not reduced.

[0058] Moreover, by being filled up with a porosity silica into a hole, the rate that the electron emission point of an emitter is put to a direct vacuum becomes small, and it is effective in a degradation phenomenon with residual gas remarkable in FE component of sticking to the electron emission section and changing the electron emission characteristic being reduced.

[0059]

[Example] (The 1st example) The more concrete example based on the gestalt of the above-mentioned implementation is explained hereafter.

[0060] The process by the place which makes FE mold electron source is the same as that of the usual process.

[0061] With reference to drawing 2, the manufacture approach of an electron emission component and electron emission component concerning the 1st example of this invention are explained.

[0062] In addition, the example of illustration shows the process of the Spindt mold electron source.

[0063] First, sequential formation of the resistance film 8 which becomes a glass substrate 1 from the conductive cathode film 2 and an amorphous silicon, the insulator layer (about 1 micrometer of thickness) 3 which consists of SiO₂, and the gate electrode layer 6 is carried out (drawing 2 (a)).

[0064] In addition, the conductive cathode film 2 and the gate electrode layer 6 constitute the electrode of a pair.

[0065] Next, a hole with a diameter of about 1 micrometer is made in the gate by the ion etching method (drawing 2 (b)), and it removes SiO two-layer by etching or the ion etching method after that (drawing 2 (c)).

[0066] A centrum 32 is formed in an insulator layer 3 while a hole 61 is formed in the gate electrode layer 6 which is one electrode by this.

[0067] Next, after forming nickel sacrifice layer 9 on the gate, Mo which is the ingredient of (drawing 2 (d)) and the Spindt mold cold cathode is formed.

[0068] If it does so, Mo will accumulate into a centrum 32, and the conic structure (electron emission section 4) with which the tip sharpened is formed automatically (drawing 2 (e)).

[0069] By removing nickel layer, unnecessary Mo layer made on nickel film can exfoliate in coincidence, and the cold cathode of the Spindt mold completes it (drawing 2 (f)).

[0070] Next, it is filled up with the porosity silica (film) 5 into the centrum 32 in which cold cathode was formed.

[0071] First, the raw material solution of a porosity silica is created.

[0072] The hydrochloric acid was mixed with TEOS (tetra-ethoxy silane), ethanol, and water at a rate of 1:3.8:1.1:0.0007 by the mole ratio as the 1st solution.

[0073] Then, this mixed liquor was flowed back for 90 minutes at 60 degrees C.

[0074] By the volume ratio, it mixed at a rate of 10:1:x, and this mixed liquor, the aqueous ammonia of concentration 0.2M, and ethanol were stirred for 15 minutes.

[0075] Here, x was changed in 10 to 50 in the amount of dilution of ethanol.

[0076] The viscosity of the liquid immediately after mixing showed the almost same viscosity as water with 2 mPa-sec extent.

[0077] It was filled up with a sink and mixed liquor into the hole of cold cathode on the substrate with which the cold cathode horizontally held in this solution was formed.

[0078] Then, a substrate is leaned slightly and liquid was away poured from on the gate electrode surface.

[0079] Thus, it was filled up with the raw material solution of a porosity silica only into the centrum 32 (like the solution packer).

[0080] Next, in order to make it gel, without evaporating the solvent of filled liquid, the substrate was put in in the container saturated with an ethanol steam, and was gelled over several hours (gelation process).

[0081] After gelation, the substrate was dipped into the ethanol solution and gel was ripened.

[0082] Next, this substrate was put in in the autoclave and the liquid CO₂ permuted the ethanol contained in gel.

[0083] Then, the temperature up was carried out to 40 degrees C, and the internal pressure was made into 90 atmospheric pressures.

[0084] Since this condition is beyond the supercritical condition (31 degrees C, 72.8 atmospheric pressures) of CO₂, CO₂ in the film serves as supercritical fluid which surface tension does not commit.

[0085] After maintaining in the state of supercritical for 15 minutes, CO₂ was discharged gradually, fixing temperature to 40 degrees C, and the pressure was returned to one atmospheric pressure.

[0086] Then, temperature was gradually returned to lowering ordinary temperature, and the substrate was picked out from the autoclave.

[0087] Since the hydroxyl group and the alkyl group were adsorbing into the porosity silica of this condition, it annealed at the temperature of 450 degrees C in nitrogen gas for 2 hours, and these adsorbate was desorbed (above, down stream processing).

[0088] The porosity silica was able to be filled up with the above-mentioned approach into the centrum 32 of cold cathode.

[0089] When the inside of a centrum was observed using the scanning electron microscope, it has checked that the porosity silica was embedded to the same location as the top face of a gate electrode (drawing 2 (g)).

[0090] Next, the gold film (thin film 7) with a thickness of 10nm was formed with vacuum deposition all over this substrate (vacuum evaporation process).

[0091] Consequently, it was able to consider as the flat gate electrode layer to which irregularity does not exist in a front face (drawing 2 (h)).

[0092] The above-mentioned component was put in in vacuum devices, and it exhausted to 10⁻⁶Torr.

[0093] The gate electrode was just carried out between the cathode film and a gate electrode layer, and the electrical potential difference was impressed and it acted as the monitor of the gate current which flows there.

[0094] The anode plate was installed in the location of 5mm of upper parts of a substrate at coincidence.

[0095] The laminating of the ITO electric conduction film and the fluorescent substance film was carried out on the glass substrate, and while the anode plate impressed the electrical potential difference of 1kV and measured the emission current, it measured the magnitude of the point of a fluorescent substance emitting light.

[0096] Moreover, the electron emission component which has not been filled up with the porosity silica into a hole for a comparison was also made as an experiment, and the same measurement as the above was performed.

[0097] Front drawing shown in drawing 8 summarizes the electron emission characteristic over the void content of the porosity silica film obtained by doing in this way.

[0098] The void content asked for the film consistency from the X-ray reflection factor of one pattern which formed membranes using the same solution, and was calculated from the consistency (2.2g/(cc)) of the silica of it and bulk.

[0099] As shown in front drawing, the electron emission characteristic with what [better] has a higher void content was shown.

[0100] Moreover, it was checked that the magnitude of the point emitting light becomes very small as compared with the usual FE component, and it is flat by the electrode layer by which potential distribution was established on the hole.

[0101] (The 2nd example) Although the example which sets in the example 1 and is filled up with a porosity silica into a centrum about the configuration in the case of the Spindt mold electron source was shown, it is not necessarily restricted to what is applied to the configuration in such a case, and the example which fills up a porosity silica with this example into a centrum about the configuration in the case of a diamond electron source as other examples is explained.

[0102] First, the conductive cathode film which becomes a glass substrate from Pt is formed.

[0103] It ultrasonicates by dipping this substrate into the acetone solvent which the diamond particle suspended.

[0104] A nucleus for this actuation to generate the diamond film is formed all over Pt film.

[0105] Nuclear density is determined by whenever [suspension / of a diamond particle], and sonication time amount.

[0106] Next, after carrying out sequential formation of the insulator layer (about 1 micrometer of thickness) and gate electrode layer which consist of SiO₂, a hole with a diameter of about 1 micrometer is made in a gate electrode by the ion etching method, and it removes SiO two-layer by etching or the ion etching method after that.

[0107] Thus, Pt electrode is exposed into a hole (centrum).

[0108] It puts into the plasma which generated this substrate by impressing high-frequency voltage to the mixed gas of methane and hydrogen.

[0109] Consequently, a diamond carries out karyogenesis only to Pt electrode surface exposed into the hole, and the film is not generated on a gate electrode.

[0110] Since the diamond film obtained turns into particle film which the facet which consists of the crystal face exposed, without becoming the continuation film, it serves as the configuration of having been suitable for electron emission.

[0111] Next, the source of electron emission with little beam divergence was able to be obtained by it being filled up with a porosity silica into a centrum, and forming Au electrode layer in the whole surface after that by the same approach as the 1st example.

[0112] (The 3rd example) The example which fills up a porosity silica with this example into a centrum further about the configuration in the case of the electron source which used the carbon nanotube is explained.

[0113] The example which fills up the interior of the hole of an electron source using a carbon nanotube with a porosity silica in this example is explained.

[0114] The conductive cathode film which becomes a glass substrate from Pt is formed.

[0115] Next, after carrying out sequential formation of the insulator layer (about 1 micrometer of thickness) and gate electrode layer which consist of SiO₂, a hole with a diameter of about 1 micrometer is made in a gate electrode by the ion etching method, and it removes SiO two-layer by etching or the ion etching method after that.

[0116] Thus, Pt electrode is exposed into a hole (centrum).

[0117] This substrate was held at 550 degrees C, and it put to the mixed-gas ambient atmosphere of ethylene gas and argon gas for 2 hours.

[0118] Consequently, the carbon nanotube was formed only in the interior of a centrum in order that a carbon nanotube might generate only on Pt electrode which is a catalyst nature metal.

[0119] Since the carbon nanotube film obtained serves as a very thin columnar structure, without becoming the continuation film, it serves as the configuration of having been suitable for electron emission.

[0120] Next, the source of electron emission with little beam divergence was able to be obtained by it being filled up with a porosity silica into a hole, and forming Au electrode layer in the whole surface after that by the same approach as the 1st example.

[0121] (The 4th example) The gestalt of operation and the 1st to 3rd example which were described above explained the electron emission component.

[0122] As an application of FE mold electron emission component which was constituted as mentioned above and which breadth does not produce in an electron beam, it is applicable suitable for the flat-surface display unit in which highly minute image display is possible, for example.

[0123] This example explains the electron emission component constituted as mentioned above with reference to drawing 3 about the case where it applies to a flat-surface display unit.

[0124] Drawing 3 is an outline configuration perspective view for explaining the manufacture approach of the flat-surface display unit concerning this example.

[0125] the display 30 which performs a luminescence display in this example in response to the electron emitted from the source 31 of electron emission which comes to accumulate the electron emission component which explained this flat-surface display unit in an outline and the 1st example of the above, and this source 31 of electron emission as shown in drawing 3 -- since -- it becomes.

[0126] The manufacture approach of this source of electron emission is explained using drawing 3 .

[0127] First, an address line is created by dividing the resistive layer which consists of the conductive cathode film and amorphous silicon which were formed on the substrate 1 into the band-like base electrode 21 of a large number which adjoin each other in the direction of X by etching.

[0128] Besides, SiO₂ insulating layer 3 is formed on the whole surface by the thickness of 1 micrometer, and the laminating also of the gate electrode 22 is further carried out to the whole surface.

[0129] then, the direction of y which intersects perpendicularly with the above-mentioned base electrode by etching -- ***** -- a gate electrode layer is divided into band-like like.

[0130] Thereby, a data line is created.

[0131] The hole 23 for creating FE mold electron emission section stated to the intersection side of an address line and a data line in the 1st example in the case of this etching is made in a gate electrode.

[0132] Since the path of a hole is 1 micrometer, when an intersection side is about 50-micrometer angle, the hole which is 100-piece (10x10 pieces) extent forms 1 pixel.

[0133] Next, it removes the SiO two-layer in a hole by etching or ion etching using the same process as the 1st example (a centrum is formed).

[0134] After forming nickel sacrifice layer on the whole surface, Mo is formed succeedingly and Mo tip is formed into a centrum.

[0135] Mo film attached to the whole surface by removing nickel layer after that is removed.

[0136] And after being filled up with a porosity silica into a centrum like the 1st example, an electron emission component is formed by forming Au electrode (thin film 7) of 10nm thickness on it.

[0137] The source 31 of electron emission which comes to accumulate many electron emission components in the shape of a matrix according to the above process can be obtained.

[0138] On the other hand, a display 30 becomes the transparence substrate 26 and the luminescence fluorescent substance 25 pan applied on it from the metal membrane (metal back) 24 formed on it.

[0139] It arranges so that it may face each other in the metal back side and the source of electron emission of this display, and it pastes up on both sides of an outer frame (un-illustrating), and a vacuum housing is formed.

[0140] Thus, each above-mentioned electron emission component constitutes 1 pixel from a constituted flat-surface

display unit.

[0141] And in this flat-surface display unit, the same approach as the liquid crystal display equipment of the active-matrix method which used TFT as the drive approach is employable.

[0142] That is, the address line constituted with the above-mentioned base electrode and the data line constituted with the electric conduction film are connected to the drive driver, respectively.

[0143] And this drive driver is operated and an electron is made to emit from the electron emission component prepared in the part at which each Rhine crosses by choosing the address line and data line of arbitration and impressing an electrical potential difference.

[0144] The electron emitted when the high voltage was given to the metal membrane 24 prepared in the above-mentioned display 30 at this time can be drawn near to the above-mentioned metal membrane 24, can penetrate it, and can make the fluorescent substance 25 under it emit light.

[0145]

[Effect of the Invention] since this invention closed the hole for an electron to emit towards the exterior with the conductive thin film as explained above -- a hole -- since diffusion (beam divergence) of the electron which it can do in parallel (it is flattening about potential distribution) to an electrode flat surface, is a simple configuration, and emits the potential distribution formed in the neighborhood can be controlled, it excels in quality nature.

[0146] If thickness of a thin film is made thinner than the die length of the average free process of the electron to which it is emitted from the electron emission section, it can control being caught by the thin film.

[0147] If filled up with a porosity silica in the centrum in which the electron emission section is prepared, dispersion of the electron within a centrum can be controlled.

[0148] Moreover, highly minute image display becomes possible by applying the electron emission component which could control diffusion (beam divergence) of the electron emitted as mentioned above on the flat-surface display, and was excellent in it at quality nature.

[Translation done.]

*** NOTICES ***

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the fundamental outline block diagram and its potential distribution map of the electron emission component concerning the gestalt of operation of this invention.

[Drawing 2] It is drawing showing the manufacture approach of the electron emission component concerning the 1st example of this invention.

[Drawing 3] It is an outline configuration perspective view for explaining the manufacture approach of the flat-surface display unit concerning the 4th example of this invention.

[Drawing 4] It is the outline configuration sectional view of a fundamental (field emission FE) mold electron emission component.

[Drawing 5] It is the outline configuration sectional view of a fundamental (field emission FE) mold electron emission component.

[Drawing 6] It is drawing showing the potential distribution on the gate electrode of a fundamental (field emission FE) mold electron emission component.

[Drawing 7] It is the outline configuration sectional view of the (field emission FE) mold electron emission component which gave the convergence electrode.

[Drawing 8] It is the graph showing the electron emission characteristic over the void content of the porosity silica film.

[Description of Notations]

- 1 Substrate
- 2 Conductive Cathode Film
- 3 Insulator Layer
- 32 Centrum
- 4 Electron Emission Section
- 5 Porosity Silica Film
- 6 Gate Electrode (Film)
- 61 Hole
- 7 Thin Film (Data Electrode)
- 8 Resistance Film
- 9 Sacrifice Film
- 10 The Shape of Film (Electron Emission Section)
- 11 Insulator Layer
- 12 Convergence Electrode
- 21 Base Electrode (Address Line)
- 22 Gate Electrode (Data Line)
- 23 Hole
- 24 Metal Membrane (Metal Back)
- 25 Fluorescent Substance
- 26 Glass Substrate
- 30 Display
- 31 Source of Electron Emission

[Translation done.]

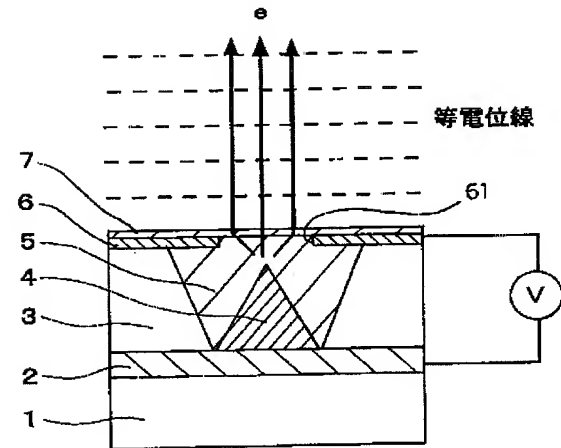
* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.**** shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

DRAWINGS

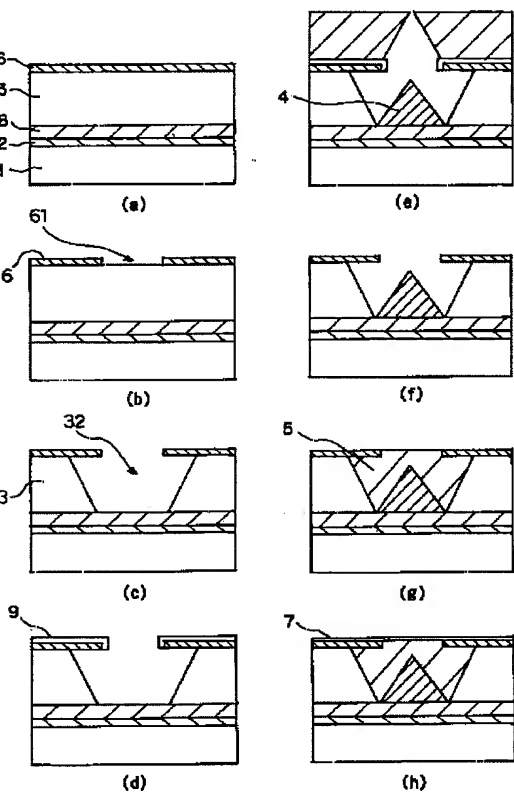
[Drawing 1]



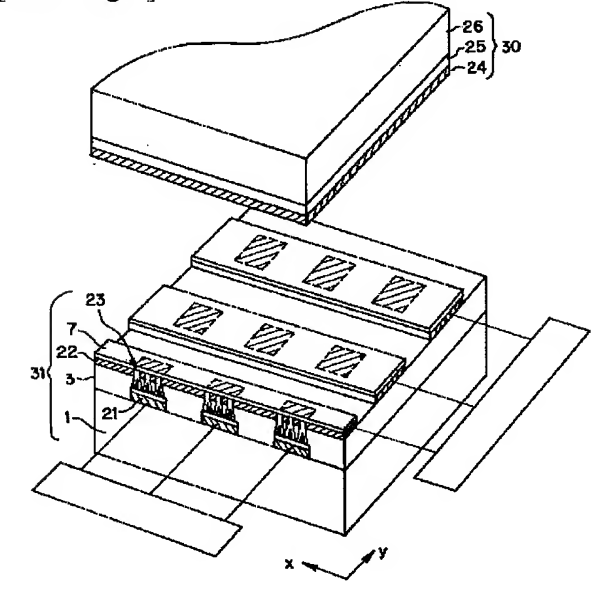
[Drawing 8]

No.	空孔率 (%)	ゲート電圧 (V)	ゲート電流 ($\mu A/tip$)	エミッタ電流 ($\mu A/tip$)	効率 (%)	発光点の半径
1	85	50	31	4	11	40 μm
2	93	50	24	10	29	55 μm
3	99	50	17	20	54	43 μm
4	真空(比較)	50	1	40	98	800 μm

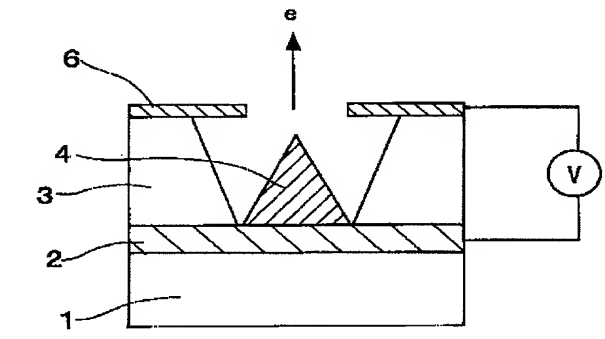
[Drawing 2]



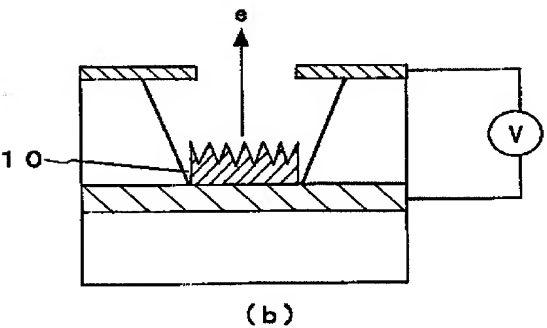
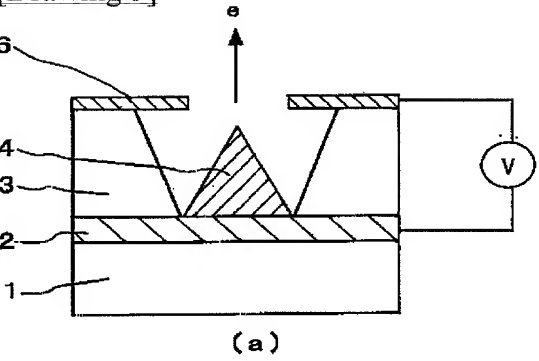
[Drawing 3]



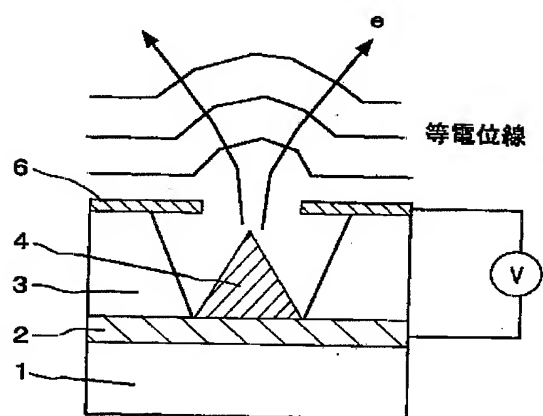
[Drawing 4]



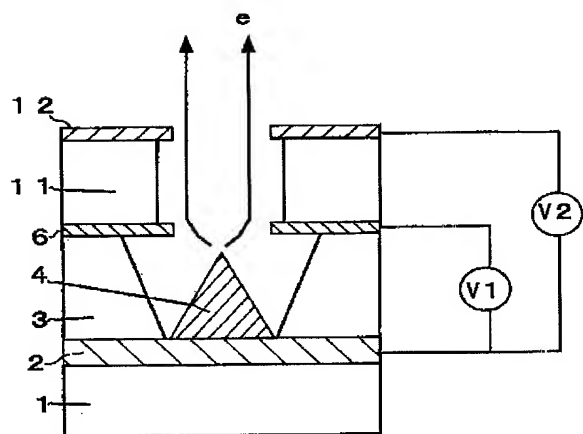
[Drawing 5]



[Drawing 6]



[Drawing 7]



[Translation done.]